

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

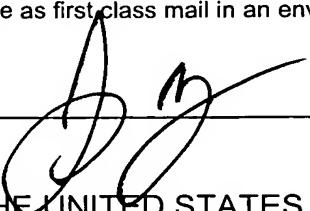
IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Docket No.: W&B-INF-1960

Hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: November 18, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/689,422
Applicant : Robert Kaiser et al.
Filed : October 20, 2003
Art Unit : to be assigned
Examiner : to be assigned

Docket No. : W&B-INF-1960
Customer No.: 24131

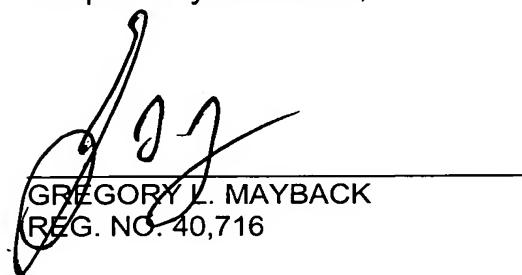
CLAIM FOR PRIORITY

Mail Stop: Missing Parts
Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 101 19 125.1 filed April 19, 2001.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,


GREGORY L. MAYBACK
REG. NO. 40,716

Date: November 18, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 101 19 125.1

Anmeldetag: 19. April 2001

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Verfahren zur Ermittlung fehlerhafter Adressen eines
Halbleiter-Speicherbausteins

IPC: G 11 C 29/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-sprünglichen Unterlagen dieser Patentanmeldung.

München, den 20. Oktober 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, appearing to read "Wehner".

Wehner

Beschreibung

Verfahren zur Ermittlung fehlerhafter Adressen eines Halbleiter-Speicherbausteins

5

Die Erfindung betrifft ein Verfahren zur Ermittlung fehlerhafter Adressen eines in Bänke unterteilten Halbleiter-Speicherbausteins mit einer Adressstruktur, demnach jede Adresse einer in Zeilen und Spalten organisierten Bank zugeordnet und durch eine Zeilenadresse, eine Spaltenadresse und eine Bankadresse festgelegt ist, bei dem bei einem Speicherzugriff auf eine fehlerhafte Adresse zumindest die Zeilen- oder die Spaltenadresse der betreffenden Bank ermittelt wird, wobei eine Bank mittels eines Bankwahlsignals aktiviert wird, und wobei der Zugriff auf eine fehlerhafte Adresse durch Freigaberegister angezeigt wird.

10

Bislang wurden bei dem in Rede stehenden Verfahren im wesentlichen nur die Zeilen - oder alternativ die Spaltenadresse -

20

mit der fehlerhaften Adresse verglichen. Sobald ein Adresstreffer erzielt wird, ist vorgesehen, die gesamte Zeile bzw. die gesamte Spalte durch eine Ersatzzeile, bzw. Ersatzspalte zu ersetzen. Problematisch an dem bisherigen Verfahren ist in erster Linie, dass der Vergleich zwischen den Adressen nicht schnell genug abläuft, so dass insbesondere ein Echtzeitvergleich nicht möglich ist. Durch das globale Ersetzen einer gesamten Zeile oder einer gesamten Spalte bei Feststellung eines Adresstreffers wird bei dem herkömmlichen Verfahren Redundanz-Speicherplatz verschwendet.

25

Eine Aufgabe der Erfindung besteht darin, ein Verfahren der eingangs genannten Art zu schaffen, das so schnell abläuft, dass eine Echtzeitermittlung möglich ist, und das nicht zu einer Verschwendungen von Speicherplatz führt.

Gelöst wird diese Aufgabe durch die Merkmale des Anspruchs 1. Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

- 5 Da bei dem erfindungsgemäßen Verfahren bei Zugriff auf eine fehlerhafte Adresse sowohl die Zeilen- wie die Spalten- und Bankadressen stets ermittelt werden, wird Verschwendungen von Redundanz-Speicherplatz vermieden, da durch diese gezielte Ermittlung von Fehlerstellen im Speicher auch nur Ersatz für
10 diese gezielten Adressen in der Adressstruktur erforderlich ist.

15 Eine besonders vorteilhafte Ausführungsform des erfindungsgemäßen Verfahrens, das aufgrund eines gestrafften zeitlichen Ablaufs bei der Adressermittlung Echtzeitverarbeitung gewährleistet, sieht vor, dass die Zeilen-, wie die Spalten- und die Bankadresse wie folgt ermittelt werden:

- 20 a) in einem ersten Zyklus wird eine Zeile mit einer Zeilenadresse und der zugehörigen Bankadresse aktiviert,
b) in einem zweiten Zyklus wird mit einer Spaltenadresse und einer Bankadresse auf eine aktivierte Zeile zugegriffen,
c) während der Aktivierung der Zeile
c1) wird die Zeilenadresse der aktivierten Zeile mit der zugehörigen fehlerhaften Zeilenadresse verglichen und das Vergleichsergebnis wird an einen Verriegelungsschaltkreis angelegt, dessen Ausgangssignal an einen Vergleichsschaltkreis angelegt wird,
c2) wird die Spaltenadresse mit der zugehörigen fehlerhaften Spaltenadresse verglichen und das Vergleichsergebnis an den Vergleichsschaltkreis angelegt,
30 c3) wird die Bankadresse mit der zugehörigen fehlerhaften Bankadresse verglichen und das Vergleichsergebnis an den Vergleichsschaltkreis angelegt,
c4) wird aus der steigenden Flanke des Bankwahlsignals in
35 einem Pulsgenerator ein Aktivierungsimpuls gewonnen, der an den Verriegelungsschaltkreis angelegt wird, wenn der Ver-

gleich der Bankadresse mit der zugehörigen fehlerhaften Bank-
adresse Übereinstimmung ergibt,

5 c5) gibt die Verriegelungsschaltung bei positiven Vergleichs-
ergebnissen in den Schritten c1) und c4) ein Verriegelungs-
signal aus, und

10 d) gibt der Vergleichsschaltkreis ein die Ermittlung der feh-
lerhaften Adresse bezeichnendes Treffersignal aus, wenn die
Vergleichsergebnisse in den Schritten c2), c3) positiv ver-
laufen und die Verriegelungsschaltung das Verriegelungssignal
ausgibt.

Durch die Erfindung werden zusätzlich folgende Vorteile er-
zielt: Ein Teil der Vergleichsschritte wird bereits in einem
frühen Vergleichsstadium durchgeführt und ein weiterer Teil
15 der Vergleichsvorgänge, diejenigen, die im zweiten zeit-
kritischen Zyklus stattfinden, sind in ihrer Zahl reduziert
durch den Einsatz einer Verriegelungsschaltung. Ferner wird
Ermittlungssicherheit dadurch bereitgestellt, dass die Ver-
riegelungsschaltung stets automatisch immer den richtigen
20 Wert bei jeder Aktivierung eines Ermittlungsvorgangs enthält.

Nachfolgend wird die Erfindung anhand der Zeichnung beispiel-
haft näher erläutert; die einzige Figur der Zeichnung zeigt
schematisch den erfindungsgemäß ausgestalteten Teil eines
25 Halbleiter-Bausteins.

In der Figur ist ein Pulsgenerator mit der Bezugsziffer 10
bezeichnet. Drei Vergleichsstufen sind mit den Bezugsziffern
11, 12 und 13 bezeichnet. Zwei Verknüpfungsstufen sind mit
30 den Bezugsziffern 14 und 15 bezeichnet. Eine Verriegelungs-
schaltung bzw. ein Latch ist mit der Bezugsziffer 16 bezeich-
net. Ein Vergleichsschaltkreis ist mit der Bezugsziffer 17
bezeichnet. Eine fehlerhafte Bankadresse ist mit der Bezugsziffer
18 (BA_fail) bezeichnet. Eine fehlerhafte Zeilen-
35 adresse ist mit der Bezugsziffer 19 (RA-fail) bezeichnet.
Eine fehlerhafte Spaltenadresse ist mit der Bezugsziffer 20

(CA_fail) bezeichnet und ein Registersatz (EN) ist mit der Bezugsziffer 21 bezeichnet.

Die vorstehend angeführten Elemente sind wie folgt miteinander verbunden bzw. verknüpft: An einem Eingang der Vergleichsstufe 11 liegt die fehlerhafte Bankadresse 18 an. Der andere Eingang dieser Vergleichsstufe 11 wird mit einer Bankadresse beaufschlagt. Ein Eingang der Vergleichsstufe 12 wird mit der fehlerhaften Zeilenadresse 19 beaufschlagt. Der andere Eingang der Vergleichsstufe 12 wird mit einer Zeilenadresse RA beaufschlagt. Ein Eingang der Vergleichsstufe 13 wird mit der fehlerhaften Spaltenadresse CA beaufschlagt. Der andere Eingang der Vergleichsstufe 13 wird mit der Spaltenadresse CA beaufschlagt.

Ein Eingang der Verknüpfungsstufe 14 wird vom Ausgang der Verknüpfungsstufe 11 beaufschlagt. Der andere Eingang der Verknüpfungsstufe 14 wird vom Registersatz 21 beaufschlagt. Ein Eingang der Vergleichsstufe 15 wird vom Ausgang der Vergleichsstufe 14 beaufschlagt. Der andere Eingang der Verknüpfungsstufe 15 wird vom Ausgangssignal des Pulsgenerators 10 beaufschlagt. Der Eingang des Pulsgenerators 10 wird von einem oder mehreren Bankwahlsignalen (BNKSEL) beaufschlagt.

Ein Eingang der Verriegelungsschaltung 16 wird vom Ausgangssignal der Verknüpfungsstufe 15 beaufschlagt. Der andere Eingang der Verriegelungsschaltung 16 wird vom Ausgang der Vergleichsstufe 12 beaufschlagt. Der Vergleichsschaltkreis 17 besitzt drei Eingänge, von welchen einer vom Ausgangssignal der Verriegelungsschaltung 16 beaufschlagt wird, während ein zweiter Eingang von dem Ausgangssignal der Vergleichsstufe 11 beaufschlagt ist. Der dritte Eingang des Vergleichsschaltkreises 17 wird vom Ausgang der Vergleichsstufe 13 beaufschlagt.

Die Arbeitsweise der vorstehend erläuterten Schaltung ist wie folgt:

Bei einem Speicherzugriff wird in einem ersten Zyklus eine Zeile mit einer Zeilenadresse RA und der zugehörigen Bankadresse BA aktiviert. Im nächsten zweiten Zyklus wird nunmehr mit einer Bankadresse BA und einer Spaltenadresse CA auf die aktivierte Zeile zugegriffen. Beispielsweise können vier unabhängige Bänke vorgesehen sein. In jeder Bank kann maximal eine Zeile aktiviert sein. Die Anzahl der Bänke ist architekturabhängig und kann sich von der genannten Zahl 4 unterscheiden. Dies ändert jedoch nichts am Grundprinzip der Funktion der Bänke.

Während der Zeilenaktivierung im vorstehend genannten ersten Zyklus wird aus der steigenden Flanke des Bankauswahlsignals (BNKSEL) im Impulsgenerator ein Puls ACTP (Activation Pulse) abgeleitet. Gleichzeitig wird die aktuell angelegte Bankadresse BA mit der bekannten fehlerhaften Bankadresse 18 (BA_fail) verglichen. Stimmen diese beiden Adressen überein und ist der gesamte Registersatz 21 (EN) aktiv ($EN = 1$), wird der ACTP-Impuls zur Verriegelungsschaltung 16 in Gestalt eines Pulses ACTP1 weitergeleitet. In der Verriegelungsschaltung 17 wird mit dem weitergeleiteten Puls ACTP1 das Ergebnis aus dem Vergleich der aktuellen Zeilenadresse RA mit der bekannten fehlerhaften Zeilenadresse 19 (RA_fail) verriegelt bzw. gelatcht. Stimmen die Zeilenadressen überein, treibt der Ausgang der Verriegelungsschaltung 16 eine logischen 1. All dies geschieht während eines einzigen Taktzyklus, was letztendlich einen Echtzeitadressenvergleich gewährleistet. Für diesen Vergleich steht relativ viel Zeit zur Verfügung, weil der eigentliche Zugriff auf Daten frühestens im darauffolgenden Zyklus erfolgen kann.

Während des Spaltenzugriffs muss nunmehr noch die aktuelle Spaltenadresse CA mit der bekannten fehlerhaften Spaltenadresse 20 (CA_fail) verglichen werden. Außerdem muss die aktuelle Bankadresse BA mit der bereits bekannten fehlerhaften Bankadresse 18 (BA_fail) verglichen werden. Wenn beide

Vergleiche positiv verlaufen bzw. Übereinstimmung erbringen, und wenn die Verriegelungsschaltung 16 aus dem vorher genannten Vergleich gesetzt ist, geht der Ausgang der Vergleichsstufe 17 auf "Treffer" bzw. "Hit" bzw. "Logisch 1" und signaliert somit einen Zugriff auf eine defekte Speicherzelle.

Vorteilhaft an dem vorstehend genannten Verfahren ist, dass eine ganze Reihe der erforderlichen Vergleichszugänge bereits in einem frühen Stadium des Verfahrens erfolgt, während welchem ausreichend Zeit hierfür zur Verfügung steht. Außerdem ist die Anzahl der Vergleiche in dem vorstehend genannten zweiten zeitkritischen Zyklus stark verringert. Schließlich enthält die Verriegelungsschaltung automatisch immer den richtigen Wert bei jeder Aktivierung.

15

Patentansprüche

1. Verfahren zur Ermittlung fehlerhafter Adressen eines in Bänke unterteilten Halbleiter-Speicherbausteins mit einer Adressstruktur, demnach jede Adresse einer in Zeilen und Spalten organisierten Bank zugeordnet und durch eine Zeilenadresse (RA), eine SpaltenAdresse (CA) und eine BankAdresse (BA) festgelegt ist, bei dem bei einem Speicherzugriff auf eine fehlerhafte Adresse zumindest die Zeilen- oder die SpaltenAdresse der betreffenden Bank ermittelt wird, wobei eine Bank mittels eines Bankwahlsignals (BNKSEL) aktiviert wird, und wobei der Zugriff auf eine gültige fehlerhafte Adresse durch Freigaberegister (EN) angezeigt wird (EN = 1), dadurch gekennzeichnet, dass bei Zugriff auf eine fehlerhafte Adresse (EN = 1) sowohl die Zeilen-, wie die Spalten- und die BankAdresse ermittelt werden.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Zeilen-, wie die Spalten- und die BankAdresse wie folgt ermittelt werden:
 - a) in einem ersten Zyklus wird eine Zeile mit einer ZeilenAdresse (RA) und der zugehörigen BankAdresse BA) aktiviert,
 - b) in einem zweiten Zyklus wird mit einer SpaltenAdresse (CA) und einer BankAdresse (BA) auf die aktivierte Zeile zugegriffen,
 - c) während der Aktivierung der Zeile

- c3) wird die Bankadresse mit der zugehörigen fehlerhaften Bankadresse (BA_fail) verglichen und das Vergleichsergebnis an den Vergleichsschaltkreis (17) angelegt,
- 5 c4) wird aus der steigenden Flanke des Bankwahlsignals (BNKSEL) in einem Pulsgenerator ein Aktivierungsimpuls (ACTP1) gewonnen, der an den Verriegelungsschaltkreis (latch) angelegt wird, wenn der Vergleich der Bankadresse (BA) mit der zugehörigen fehlerhaften Bankadresse (BA_fail) Übereinstimmung ergibt,
- 10 c5) gibt die Verriegelungsschaltung bei positiven Vergleichsergebnissen in den Schritten c1) und c4) ein Verriegelungs-signal aus, und
- d) gibt der Vergleichsschaltkreis (17) ein die Ermittlung der fehlerhaften Adresse bezeichnendes Treffersignal aus, wenn 15 die Vergleichsergebnisse in den Schritten c2), c3) positiv verlaufen und die Verriegelungsschaltung das Verriegelungs-signal ausgibt.

Zusammenfassung

Verfahren zur Ermittlung fehlerhafter Adressen eines Halbleiter-Speicherbausteins

5

Die Erfindung betrifft ein Verfahren zur Ermittlung fehlerhafter Adressen eines in Bänke unterteilten Halbleiter-Speicherbausteins mit einer Adressstruktur, demnach jede Adresse einer in Zeilen und Spalten organisierten Bank zugeordnet und durch eine Zeilenadresse (RA), eine Spaltenadresse (CA) und eine Bankadresse (BA) festgelegt ist, bei dem bei einem Speicherzugriff auf eine fehlerhafte Adresse zumindest die Zeilen- oder die Spaltenadresse der betreffenden Bank ermittelt wird, wobei eine Bank mittels eines Bankwahlsignals (BNKSEL) aktiviert wird, und wobei der Zugriff auf eine gültige fehlerhafte Adresse durch Freigaberegister (EN) angezeigt wird ($EN = 1$). Erfindungsgemäß ist vorgesehen, dass bei Zugriff auf eine fehlerhafte Adresse ($EN = 1$) sowohl die Zeilen-, wie die Spalten- und die Bankadresse ermittelt werden.

10
15
20

1/1

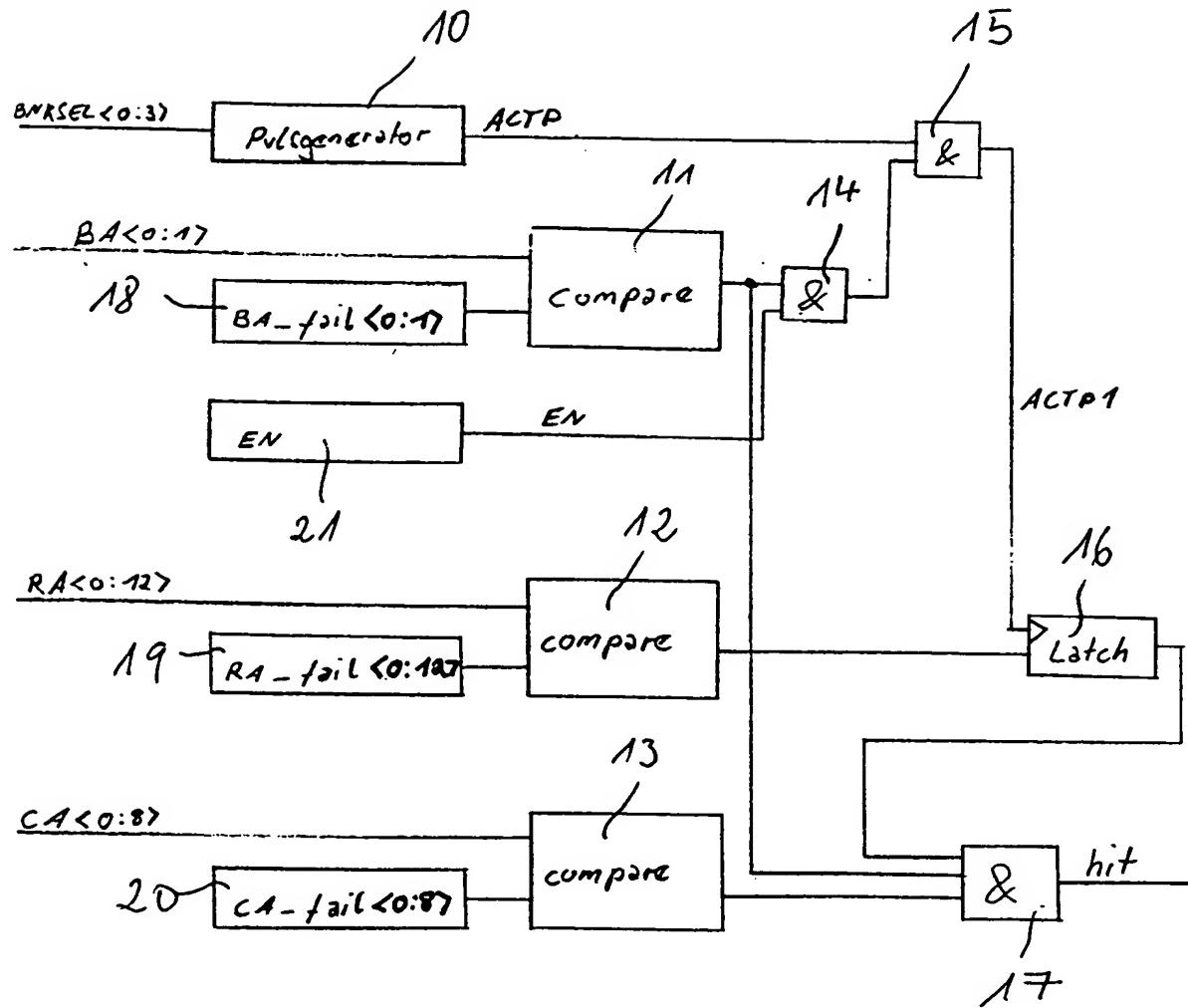


Figure 1